

2022情報通信実験第三Q&A

一回目

Q1: p.7にある「Linuxアカウント」の作成方法について

A1: サーバーにログインした時点ですでに作成されているはずです。

Q2: 課題1.Aでの値の入力方法について

A2: 事前にプログラム内で値を決める形で作ってもらって大丈夫です。

Q3:「`cp -r /home/ex3/ex3_2013 ex3work`」を実行しても「`cp: `r' を stat できません: そのようなファイルやディレクトリはありません cp: ディレクトリ `/home/ex3/ex3_2013' を省略しています`」とエラーが起きて実行できないので原因を教えてください。

A3: `r`がディレクトリ判定されているのはおかしいので、もう一度コマンドが正しいか(資料からコピーすると意図していないスペース等が入ってしまうので手入力を推奨)を確認してもらった。

Q4:課題1.Aの5に関して、「以下のプログラムを `ex3_asm` で実行し、処理の流れや主要なデータの役割について解析する」とあるが、プログラムの中身はどのように確認すればよいか。

A4: `vim`等のエディタで確認するか、`$ gedit test1.asm`で確認できる。

Q5:`ex3_asm` で実行するとはどのような意味か。

A5: `ex3_asm`で実行とは、アセンブリプログラムを`ex3`命令セットシミュレータで実行すること。「`./ex3_asm filename.asm`」を`xterm`で入力すると`filename.asm`を実行することができる。詳細は資料20p以降をよく確認してみても伝えた。

Q6:参考資料に『本実験に関連した講義「計算機論理設計」の講義資料が東工大 T2SCHOLA(過去のアーカイブ)に 公開されているので、命令セット、アセンブリプログラミング例、アーキテクチャ改良のヒントとして参考されたい』と書いてあり自分は「計算機論理設計」をとっていないが、この場合は見ることができないのか？

A6: OCWから2018年度の資料は見れるためそのURLを伝えた

Q7:指導書7ページ表1.2のWindows PC環境のファイル場所についてですが、このファイルはFPGA環境のファイルで、今年度はFPGAを使用しないため、私たちは実行する必要がないという解釈で大丈夫ですか？

A7: そうです。

Q8:課題1.A.2について、除数に0を指定した場合の動作はどう定義すれば良いか

A8:0の時に計算を停止させるなどの処理を行えば良い。なお、追加した処理についてレポートで説明するよう伝えた。

2回目

Q9:ORG10とは何を表しているのか

A9:ORG はそれより後ろのプログラムを配置するアドレスを指定できる構文です。今回は 0x10 からプログラムを実行するようになっているので、初めに実行される 0x10 にプログラムを配置するために書かれています。

Q10:課題1-A-3について、ERROR時の処理はどうすればいいか

A10:ERRORに対応するASCII10進数文字列を格納し、それに対応する文字数も格納すれば良い。

Q11:16進数表記として無効なASCII文字列とは何か

A11:例えばHやIといった文字は16進数に含まれないので無効です

Q12:ISZの処理がうまくいかない

A12:プログラムを確認したところ、ORG10がORG0になっていたため修正指示をした。また、ISZに用いる変数の-が-になっていたため修正指示をした。

3回目

Q13:アドレスX,X+1,X+2,X+3に格納されてる定数を配列のように扱いたい

A13:サブルーチンや"ISZ"によるアドレスのインクリメント、ラベル"l"(p.12参照)による間接アドレスメモリ参照命令を併用すると実現できると思います。

Q14:原因不明の"ERROR: Invalid instruction"が出る

A14:コード中に全角のスペースを使ってしまっている可能性があります

Q15:実行命令ステップ数の確認方法について

A15:実行の前に、"l"を入力するとverboseMode = 1に切り替わる(p.21 下部)ので、その状態で"r"実行をするとステップ数が見られます

Q16:実験1.A_3で大文字と小文字の場合分けは必要か

A16:どちらも使えるように場合分けしても良いですが、小(大)文字に統一する形で大丈夫です

Q17:実験1.Aについて質問です

数値を全て16bit符号無し整数として扱うと書いてありますが、これは補数表現で最上位bitを常に0とする意味ではなく、0xFFFFまでの数値を扱うという認識で間違いないでしょうか

A17:はい、数値は0x0000-0xFFFFの16ビット符号無し整数として取扱ってください。

4回目

Q18:test_io1.asmはどのような条件で割り込みが発生しているかわからない

A18:なんらかの入力が与えられた時に割り込みが発生します。例えば実行後rを押すと入力待ちになり適当なキーを押すと出力が返ってきます。

5回目

Q19:課題 1.Bのシミュレーションのサイクル数、命令数の確認方法

A19:マクロ定義"ENABLE_CPU_MONITORING"を無効化しない状態で手順(p.27)に沿って実行し、例えば「120 insns」という表示がされると命令数が120であることを、「571 clks」という表示がされると実行サイクル数が571であることを示しています。実行時の出力のほか、「fpga_ex3.log」でも結果が確認できます。

Q20:アドレスレジスタARが記述されている場所

A20:cpu_ex3.vに枠が定義されていますが、その中身の動作についてはcpu_module.vのreg_lci_nxtにあります。

Q21:プログラムが無限ループしてしまう。

A21: "_M_"ラベル(p.21)を使って、分岐に使う変数がどのように変化しているかを追って行くとデバグしやすいと思います。

Q22:レポートの表紙には、レポート課題名、グループ番号、グループ構成員の氏名・学籍番号・ログイン名を必ず明記することとありますが、ログイン名とは何でしょうか

A22: 実験室のサーバに接続するために使っているユーザIDのことです。端末ウィンドウからwhoamiというコマンドを実行すると確認できます。基本的に学籍番号と同一の文字列になるはずです。

6回目

Q23:Verilogシミュレーションレポート課題の2について、シリアルからパラレルの変換はPIOにするだけで良いのでしょうか

A23:それだけではなくポートの割り込みを有効化する必要があります。資料の17Pを参考に考えてみてください。

Q24:verilogシミュレーションで.prbファイルが開けない(verilogフォルダに.prbが出力されない)と言われてしまう

A24:.prbが出力されるには、ex3_asmを途中終了ではなく最後まで(hit returnという表示が出るまで)実行する必要があります。asmを最後まで実行しきるかqコマンドで終了するようにしてください。

7回目

Q25:Verilogの解釈についての質問です。

A25:cpu_ex3.v内の記述で、例えば、

```
reg_lci_nxt #12 AR (clk, ~com_stop, bus_data[11:0], ar, ar_nxt, ar_ld, ar_clr, ar_inr);
```

というのがありますが。この意味について軽く説明すると、ここでは「reg_lci_nxt」というモジュール(型)を使って、parameter=12として「AR」が定義されています。「reg_lci_nxt」は、cpu_module.v内でその動作が記述されています。

「AR」の中身自体はデータ幅=12の「reg_lci_nxt」ですが、その入出力としてclk, com_stop, bus_dataの他に、ar, ar_nxtなどが接続されることで「AR」としての機能を実現しています。

8回目

Q26: 記述レポートの5番の意図がよくわかっていないのですが、2番の拡張の様な考察を求められているのでしょうか？

A26: そうですね

ただ、単純にARの動作だけを記述するのではなく、ar, ar_nxtの役割や必要な理由についても考察する必要があると思います

9回目

Q27: 命令HLTが出ているにも関わらず命令が続いてしまうことがある。

A27: S_OUTでデータを出力する際、HLTが実行されていても出力が終わっておらずハードウェアの動作が止まらないことがあります。

Q28: 記述レポート2で、「特に fgi_set がどのような信号波形であるかも明確にすること」の意味がよくわからない。

A28: fgi_setにはいつも同じ特徴をもった波形が発生するので、それについて言及して下さい。

Q28: ACの値がxxxxとなってしまう

A28: xは値が一意に定まらないことを示しています。ACをCLAなどで初期化することで上手く動くかも知れません。

Q29: moduleの入力について、(clk, {fgi_bsy, fgo_bsy}, {fgi_set, fgo_set})のような際、4ビットで {fgi_bsy, fgo_bsy}とあった場合、この値が1000の時、fgi_bsy=10, fgo_bsy=00という理解でよいのか

A29: その通りで、テキストp.36の表4.14の下の方にビット連結について書かれています。

10回目

Q30: 入力装置や出力装置が各々読み出し不可から読み出し可、書き込み不可から書き込み可に戻るのはどのタイミングなのでしょう？

A30: 第2回レポートの4. FGI...に関する課題の質問になると思いますが、cpu_module.vの中のmodule edge_to_pulseの入出力波形を調べ、それから、cpu_ex3.vの中のedge_to_pulseの fgi_bsy, fgi_set、それからfgi_nxt及びfgiとの関係も調べて行けば、タイミングを理解できるのではないかと思います。出力は入力と同じ論理ですので、入力だけ調べて行けば十分だと思います。

Q31: edge_to_pulseを調べている上で生じた疑問です。 fgi_setやprev_din2等に初期値は定められているのでしょうか？また、 fgi_setの変化する1ビットの値が1→0になるタイミングは理解できているのですが、0→1に戻るタイミングについてはどこに記載されているのか発見できておりません。これはどこに記載されているのでしょうか？

A31: parameter EDGETYPEを0として、edge_to_pulseのdin, doutの波形、及びfgi_bsyの波形を調べれば、 fgi_setが0→1のタイミングを理解できると思います。

Q32: 記述レポートの4に関する質問ですが、FGIレジスタは入力のことを扱うじゃないですか？というわけで、問題で指定した「出力値」とはなんのことですか？FGOのことですか？

A32: その「出力値」はFGIレジスタの出力値fgiを指していますが、FGOと関係ない。

Q33: 現在「課題1.B」のVerilogシミュレーション課題の2に取り組んでいるのですが、このような表示が出てしまいます。指導書にも記載がなかったためどうしたらよいのでしょうか？

```
[ 79] S(0),R(0),IO(1:0:1|0:4|3:4), AC(ffff)
LT
----- TERMINAL VIEWER -----
```

```
hit return : █
```

A33: その場合シミュレーションは正常に終了(中止)されています。表示通りreturnキーを入力すればシミュレーションが終了しますので特に問題ございません。

Q34: Q33に続き、どこにシミュレーション時間が表示されるのでしょうか

A34:ex3_asm命令セットシミュレータの./ex3_asmではなく、verilog論理シミュレータを用いてシミュレーション時間を確認します。verilogフォルダ内で資料の4.2以降の手順に従いシミュレーションを行なってください。シミュレーション時間は出力メッセージまたはlogファイルとして出力されます。

13回目

Q35: 実験計画をした段階で、工程に見落としがありました。

この場合、当初の予定(予想)と実際の設計内容の差をレポートに明記した上で、実装内容を縮小しても良いのでしょうか。

A35: そうですね。計画通りにいかない場合、変更を説明すればよろしいかと思います。

Q36: 既存のプログラムを変更したとき、プログラム全体を記載しますか？それとも変更部分・追加部分だけ載せれば十分でしょうか？

A36: 一応プログラムの全体をレポートの最後に記載してください。そして、本文の説明に変更・追加部分だけ載せて、説明してください。

14回目

Q37: プログラムについて、レポートの本文には載せずに、レポートとは別に○○.asmを添付するということでしょうか。

A37: そうではないです。

同じPDFにするのですが、結論の後にのせてください。本文には説明したい部分だけ載せて、説明してください。そうすると、レポートは読みやすくなります。本文にいっぱいプログラムがあると、読みにくくなります。